

Circuits logiques

Groupe 20

Mardi, de 13h30 à 16h30 SB-R740 (cours)

Lundi, de 13h30 à 15h30 PK-4765 (atelier)

Vendredi, de 14h30 à 16h30 PK-4770 (atelier)

Responsable(s) du cours

Nom du coordonnateur : BEGIN, Guy

Nom de l'enseignant : RABEMANANTSOA, Monjy

Local : PK-4115

Téléphone : (514) 987-3000 #3699

Courriel : rabemanantsoa.monjy@uqam.ca

Description du cours

Systèmes numériques: caractéristiques générales, conversion, arithmétique et codes numériques. Fonctions booléennes. Circuits combinatoires: simplification algébrique, table de vérité, diagrammes de Karnaugh, méthode de Quine-McCluskey; circuits MSI conventionnels; circuits programmables; circuits arithmétiques. Bascules. Synthèse des circuits séquentiels synchrones et asynchrones: diagramme d'état, analyse et conception. Compteurs synchrones et asynchrones; registres à décalage, fichiers de registre, mémoires volatiles. Familles de circuits intégrés logiques TTL, ECL, I²L, NMOS, CMOS. Travaux pratiques en laboratoire (3 heures/semaine).

Préalables académiques :

INF1105 Introduction à la programmation scientifique

Objectifs du cours

Le cours MIC1065 permettra à l'étudiant d'acquérir une formation théorique et pratique sur les méthodes et les outils de conception des circuits logiques.

À la fin du cours, l'étudiant devrait être :

- familier avec les représentations de nombres en bases diverses;
- en mesure d'utiliser les différentes portes et fonctions logiques;
- familier avec le formalisme utilisé pour la description des circuits logiques;
- en mesure d'utiliser les principales méthodes de simplification logique;
- en mesure d'utiliser les différents types de bascules et en expliquer le fonctionnement;
- en mesure d'utiliser des circuits logiques standards pour la conception de circuits numériques;
- en mesure de distinguer les différentes familles de circuits logiques intégrés;
- initié à la description de circuits logiques au moyen d'un langage descriptif, à leur synthèse et simulation;
- en mesure de concevoir et analyser des circuits logiques combinatoires et séquentiels, synchrones et asynchrones

Contenu du cours

1. Systèmes numériques et codes
 - Notions sur les circuits combinatoires;
 - Systèmes numériques;
 - Représentation de nombres en bases 2, 8, 10 et 16;
 - Conversion d'une base à l'autre;
 - Complément de nombres; Arithmétique binaire;
 - Codes.
2. Fonctions logiques
 - Logique booléenne;
 - Portes élémentaires: OU, ET, NON, N-OU, N-ET, OU exclusif;
 - Théorèmes de Boole et de De Morgan;
 - Table de vérité;
 - Circuits avec portes SSI.
3. Langages descriptifs (HDL) pour la simulation logique
 - Modularité et hiérarchie;
 - Objets: entity, architecture, paquetage, configuration;
 - Types, opérateurs;
 - Signaux, variables;
 - Modèles de délai;
 - Énoncés séquentielles et concurrents;
 - Fonctions et procédures;
 - Paquetages standards;
 - Fichiers d'entrée et sortie;
 - Bancs d'essai.
4. Synthèse logique de circuits combinatoires
 - Simplification: algébrique;
 - Diagrammes de Karnaugh;
 - Outils de synthèse logiques;
 - Normes de documentation: symboles, schémas, niveau logiques, bus;
 - Diagrammes temporels et outils d'analyse temporelle;
 - Circuits numériques combinatoires: décodeurs, encodeurs, multiplexeurs, sorties 3-états, comparateurs, générateurs de parité;
 - Circuits arithmétiques: additionneurs, soustracteurs, multiplicateurs, unités arithmétiques et logiques;
 - Introduction aux circuits intégrés programmables;
 - Langages descriptifs (HDL) pour la synthèse de circuits combinatoires.
5. Circuits séquentiels et bascules
 - Classes de machines séquentielles;
 - Bascules RS, D, T, JK;
 - Bascules sensibles aux niveaux et aux transitions;
 - Bascules tampon.
6. Synthèse de circuits séquentiels
 - Diagrammes d'états;
 - Tables de vérité séquentielles;
 - Minimisation et codage des états;
 - Entrées asynchrones;
 - Analyse et conception de circuits séquentiels synchrones;
 - Langages descriptifs (HDL) pour la description de la synthèse de circuits séquentiels synchrones.
7. Compteurs, registres et mémoires
 - Compteurs synchrones et asynchrones;
 - Registres à décalage;
 - Fichier de registres;
 - Mémoires volatiles.
8. Circuits séquentiels asynchrones
 - Modèles de délai;
 - Courses et aléas.

Modalités d'évaluation

Description sommaire	Date	Pondération
Examen intra	8e semaine	*30%
Examen final	Dernière semaine de cours	*40 %
Laboratoires		30 %

Une moyenne pondérée de 50% des deux examens est exigée. Si ce seuil n'est pas atteint, la mention échec sera automatiquement attribuée au cours quelles que soient les notes de laboratoires.

La qualité du français sera prise en considération, tant dans les examens que dans les travaux pratiques (jusqu'à 10% de pénalité).

LABORATOIRES

Les séances de laboratoires (3 heures)/semaine) sont obligatoires et font partie intégrante du cours et de l'évaluation. Les étudiants doivent se présenter aux séances afin d'effectuer les travaux pratiques et présenter leurs résultats à l'auxiliaire d'enseignement. Les travaux pratiques sont réalisés individuellement ou par équipe de 2 étudiants. Les règlements concernant le plagiat seront strictement appliqués. En cas de doute sur l'originalité des travaux, un test oral peut être exigé. Chaque travail pratique sera présenté sous la forme d'un rapport identifié avec votre nom, le numéro du cours et du groupe, ainsi que le numéro du travail pratique en utilisant le gabarit fourni pour le cours. Une pénalité de retard de 25% par jour sera appliquée aux travaux remis après les dates prévues dans l'énoncé du laboratoire.

Chaque équipe aura à se procurer une plaque de montage, disponible à COOP Science.

Politique d'absence aux examens

L'autorisation de reprendre un examen en cas d'absence est de caractère exceptionnel. Pour obtenir un tel privilège, l'étudiant-e doit avoir des motifs sérieux et bien justifiés.

Il est de la responsabilité de l'étudiant-e de ne pas s'inscrire à des cours qui sont en conflit d'horaire, tant en ce qui concerne les séances de cours ou d'exercices que les examens. **De tels conflits d'horaire ne constituent pas un motif justifiant une demande d'examen de reprise.**

Dans le cas d'une absence pour raison médicale, l'étudiant-e doit joindre un certificat médical original et signé par le médecin décrivant la raison de l'absence à l'examen. Les dates d'invalidité doivent être clairement indiquées sur le certificat. Une vérification de la validité du certificat pourrait être faite. Dans le cas d'une absence pour une raison non médicale, l'étudiant-e doit fournir les documents originaux expliquant et justifiant l'absence à l'examen – par exemple, lettre de la Cour en cas de participation à un jury, copie du certificat de décès en cas de décès d'un proche, etc. Toute demande incomplète sera refusée. Si la direction du programme d'études de l'étudiant-e constate qu'un étudiant a un comportement récurrent d'absence aux examens, l'étudiant-e peut se voir refuser une reprise d'examen.

L'étudiant-e absent-e lors d'un examen doit, dans les cinq (5) jours ouvrables suivant la date de l'examen, présenter une demande de reprise en utilisant le formulaire prévu, disponible sur le site Web du département à l'adresse suivante : <http://info.uqam.ca/politiques/>

L'étudiant-e doit déposer le formulaire dûment complété au secrétariat de la direction de son programme d'études : PK-3150 pour les programmes de premier cycle, PK-4150 pour les programmes de cycles supérieurs. Pour plus de détails sur la politique d'absence aux examens du Département d'informatique, consultez le site web suivant : <http://info.uqam.ca/politiques>

Renseignements utiles

Les étudiants qui ont une lettre signée de leur conseillère ou conseiller de l'Accueil et de soutien aux étudiants en situation de handicap, dans laquelle il est fait état de leur inscription au ASESH à titre d'étudiant en situation de handicap, sont invités à remettre ce document à leurs professeur(e)s et chargé(e)s de cours dès le début de la session afin que les aménagements dans le respect des exigences académiques soient déterminés de concert avec chacun des professeurs et chargés de cours. Les étudiants qui ont déficience et que ne seraient pas inscrits au ASESH sont priés de se présenter au AB-2300.

Les étudiants ayant une déficience de type visuelle, auditive, motrice, trouble d'apprentissage, trouble envahissant du développement et trouble de santé mentale.

Les étudiants qui ont une lettre d'Attestation des mesures d'aménagements académiques obtenue auprès d'un(e) conseiller(ère) de l'Accueil et soutien aux étudiants en situation de handicap

(ASESH) doivent rencontrer leurs enseignants au début de la session afin que des mesures d'aménagement en classe ou lors des évaluations puissent être mises en place. Ceux qui ont une déficience ou une incapacité mais qui n'ont pas cette lettre doivent contacter l'**ASESH** au (514) 987-3148 ou se présenter au local AB-2300 le plus tôt possible.

Intégrité académique

PLAGIAT Règlement no 18 sur les infractions de nature académique. (extraits)

Tout acte de plagiat, fraude, copiage, tricherie ou falsification de document commis par une étudiante, un étudiant, de même que toute participation à ces actes ou tentative de les commettre, à l'occasion d'un examen ou d'un travail faisant l'objet d'une évaluation ou dans toute autre circonstance, constituent une infraction au sens de ce règlement.

La liste non limitative des infractions est définie comme suit :

- la substitution de personnes;
- l'utilisation totale ou partielle du texte d'autrui en la faisant passer pour sien ou sans indication de référence;
- la transmission d'un travail pour fins d'évaluation alors qu'il constitue essentiellement un travail qui a déjà été transmis pour fins d'évaluation académique à l'Université ou dans une autre institution d'enseignement, sauf avec l'accord préalable de l'enseignante, l'enseignant;
- l'obtention par vol, manoeuvre ou corruption de questions ou de réponses d'examen ou de tout autre document ou matériel non autorisés, ou encore d'une évaluation non méritée;
- la possession ou l'utilisation, avant ou pendant un examen, de tout document non autorisé;
- l'utilisation pendant un examen de la copie d'examen d'une autre personne;
- l'obtention de toute aide non autorisée, qu'elle soit collective ou individuelle;
- la falsification d'un document, notamment d'un document transmis par l'Université ou d'un document de l'Université transmis ou non à une tierce personne, quelles que soient les circonstances;
- la falsification de données de recherche dans un travail, notamment une thèse, un mémoire, un mémoire-crédation, un rapport de stage ou un rapport de recherche;
- Les sanctions reliées à ces infractions sont précisées à l'article 3 du Règlement no 18.

Les règlements concernant le plagiat seront strictement appliqués. Pour plus de renseignements, veuillez consulter les sites suivants : <http://www.sciences.uqam.ca/etudiants/integrite-academique.html> et <http://www.bibliotheques.uqam.ca/recherche/plagiat/index.html>

Médiagraphie

UR www.moodle.uqam.ca

Les transparents et énoncés de laboratoires sont disponibles sous MIC1065.

VO BROWN et VRANESIC -- *Fundamentals of Digital Logic with VHDL Design, 3rd Edition* -- **McGraw Hill, 2008.**

VC Ashenden, P.J. -- *The designer's guide to VHDL, 3rd Edition* -- Morgan Kaufmann, 2008.

VC AIRIAU, R., BERGÉ, J.-M., ROUILLARD, V. -- *VHDL langage, modélisation, synthèse, 2e édition* -- **Presse Polytechniques et universitaires romandes.**

VC JOHN F. WAKERLY -- *Digital Design Principles and Practices, Third Edition* -- **Prentice Hall.**

VC THOMAS L. FLOYD -- *Systèmes numériques* -- **Reynald Goulet, 9e édition.**

VC M. MORRIS MANO -- *Digital Design, Third Edition* -- **Prentice Hall, 2002.**

VC NELSON, V.P.; NAGLE, H.T.; CARROLL, B.D. et IRWIN, J.D. -- *Digital Logic Circuit Analysis & Design* -- **Prentice-Hall, 1995.**

VC DANIELS D. GAJSKI -- *Principles of Digital Design* -- **Prentice Hall, 1997.**

VC JAN M. RABAEY -- *Digital Integrated Circuits* -- **Prentice Hall, 1997.**

VC PARAG K. LALA -- *Practical Digital Logic Design and Testing* -- **Prentice Hall, 1996.**

VC WAKERLY, J.F -- *Digital Design: Principles & Practices, Second Edition* -- **Prentice Hall, 1994.**

VC HAYES, J.P. -- *Introduction to Digital Logic Design* -- **Addison-Wesley, 1993.**

VC ASHENDEN, Peter J. Juillet -- *The VHDL Cookbook. First Edition 1990* . En vente à la COOP.

VC MORRIS MANO, M. -- *Digital Design* -- **Prentice Hall, 2nd Edition, 1991.**

VC DIETMEYER, D.L. -- *Logic Design of Digital Systems* -- **Allyn and Bacon . Third Edition, 1998.**

A : article - C : comptes rendus - L : logiciel C : complémentaire - O : Obligatoire - R : recommandé
 S: Standard - U : uri - V : volume

Qualités de l'ingénieur et unités d'agrément

Qualités de l'ingénieur

Sous Qualité	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12
1							DE					
2		DE		DE*	DE							
3		DE							--			
4	DE	DE	--	DE	--			--	--	--		
5	DE	--	--	--	--	--	--	--	--	--		--

Lexique (A : Qualité abordée, D: Qualité développée, E: Qualité évaluée, *: Évaluation collectée)

(Q1: Connaissances en génie; Q2: Analyse de problèmes; Q3: Investigation; Q4: Conception; Q5: Utilisation d'outils d'ingénierie; Q6: Travail individuel et en équipe; Q7: Communication; Q8: Professionnalisme; Q9: Impact du génie sur la société et l'environnement; Q10: Déontologie et équité; Q11: Économie et gestion de projets; Q12: Apprentissage continu)

Heures		Total UA	Composante du cours en unités d'agrément (UA)				
Cours magistraux	Labo		Maths	Sciences naturelles	Études complément.	Sciences du génie	Conception en ingénierie
39	36	57				42	15