

COORDONNATEUR	DAVIDSON, Jacob	davidson.jacob@uqam.ca	(514) 987-3000 3323	PK-4620
GROUPE	40 DAVIDSON, Jacob	davidson.jacob@uqam.ca	(514) 987-3000 3323	PK-4620

Judi, de 9h30 à 12h30 (cours) – Mardi de 13h30 à 16h30 (laboratories)

DESCRIPTION Méthode de conception des circuits ITGE: problèmes de rendement, testabilité, modèles de défauts, vecteurs de vérification, circuits autovérifiables. Microarchitecture: systèmes concurrents, réseaux de processeurs, processeurs spécialisés. Aspect algorithmique des outils de conception des circuits ITGE. Travaux en laboratoire. Préalables : Microélectronique II

OBJECTIFS Le cours MIC6245 permettra à l'étudiant d'acquérir une formation théorique et pratique sur les méthodes et les outils de conception des circuits ITGE. Un projet d'envergure permettra de concevoir un circuit intégré, de la spécification jusqu'au dessin des masques.

À la fin de ce cours, l'étudiant devra être en mesure:

- de comprendre les méthodes de conception, vérification et simulation des circuits ITGE;
- d'analyser les problèmes de rendement et testabilité de ces circuits;
- de comprendre les aspects algorithmiques des outils de conception des circuits ITGE;
- de connaître l'application des méthodes de conception des circuits ITGE pour le développement des processeurs avancés

À la fin des séances de laboratoire, l'étudiant devra être capable:

- d'utiliser un système de conception de circuits ITGE;
- de décrire des circuits ITGE avec un langage de description de matériel;
- de faire la synthèse des circuits ITGE, incluant l'insertion des chaînes de balayage pour la vérification physique, des arbres d'horloge et de reset, les entrées/sorties, le réseau d'alimentation;
- de vérifier la conformité aux règles de design de ces circuits, aux contraintes électriques temporelles et de puissance, perte IR, spécifications fonctionnelles, etc.;
- d'utiliser les outils de simulation, placement/routage et vérification des circuits ITGE.

ÉVALUATION	Description sommaire	Date	Pondération
	Examen intra	8e semaine	30%
	Examen final		30%
	Travail pratique 1		5%
	Travail pratique 2		5%
	Projet		30%

Une note supérieure à 50% de la moyenne pondérée des deux examens est exigée. Si ce seuil n'est pas atteint, la mention échec sera automatiquement attribuée au cours et ce quelles que soient les notes obtenues aux travaux pratiques.

Les règlements concernant le plagiat seront strictement appliqués. Pour plus de renseignements, veuillez consulter les sites suivants : http://www.sciences.uqam.ca/decanat/note_integrite.doc

et <http://www.bibliotheques.uqam.ca/recherche/plagiat/index.html>

LABORATOIRES

Les séances de laboratoire (3 heures) sont obligatoires et font partie intégrante du cours et de l'évaluation. Les étudiants doivent se présenter aux séances afin d'effectuer les travaux pratiques et présenter leurs résultats à l'auxiliaire d'enseignement. Tous les travaux pratiques sont réalisés par équipe de 2 étudiants (ou 3 étudiants si peut être justifié). Les règlements concernant le plagiat seront strictement appliqués. En cas de doute sur l'originalité des travaux, un test oral peut être exigé. Chaque travail pratique sera présenté sous la forme d'un rapport identifié avec le nom, le numéro du cours et du groupe, ainsi que le numéro du travail pratique. Une pénalité de retard de 10% par jour sera appliquée aux travaux remis après les dates prévues dans l'énoncé du laboratoire.

Politique d'absence aux examens

Un étudiant absent à un examen se verra normalement attribuer la note zéro pour cet examen. Cependant, si

l'étudiant était dans l'impossibilité de se présenter à l'examen pour un motif valable, certains arrangements pourront être pris avec son enseignant. Pour ce faire, l'étudiant devra présenter à son enseignant l'un des formulaires prévus à cet effet accompagné des pièces justificatives appropriées (par ex., attestation d'un médecin que l'étudiant était dans l'impossibilité de se présenter à l'examen pour des raisons de santé, lettre de la Cour en cas de participation à un jury).

Une absence pour cause de conflit d'horaires d'examen n'est pas considérée comme un motif valable d'absence, à moins d'entente préalable avec la direction du programme et l'enseignant durant la période d'annulation des inscriptions avec remboursement : tel qu'indiqué dans le guide d'inscription des étudiants, il est de la responsabilité d'un étudiant de ne s'inscrire qu'à des cours qui ne sont pas en conflit d'horaire.

Pour plus de détails sur la politique d'absence aux examens du Département d'informatique et pour obtenir les formulaires appropriés, consultez le site web suivant :

<http://www.info.uqam.ca/enseignement/reglements/politique-dabsence-aux-examens>

CONTENU

1. **Méthodes de conception des circuits ITGE** – Comparaison des technologies de conception et fabrication des circuits ITGE. Rendement des procédés de fabrication des circuits ITGE. Modélisation, spécifications, simulation fonctionnelle et conception des circuits ITGE : langages VHDL et VERILOG.
2. **Aspect algorithmique des outils de conception des circuits ITGE** – Évaluation de la complexité des algorithmes. Les classes P et NP. Algorithme efficace (polynomial). Introduction à la NP-complétude. Algorithmes de placement (min-cut, recuit simulé). Algorithmes de routage (Lee-Moore, Greedy). Routage global et routage détaillé. Compacité uni et bi-dimensionnelle.
3. **Conception physique de circuits intégrés** – Synthèse d'horloges : arbres, PLL, DLL. Insertion des chaînes de balayage pour la vérification. Placement et routage. Plan de masse (floorplan). Réseau d'alimentation et de reset. Plots d'entrée, de sorties et d'alimentation. Intégrité du signal. Analyse de bruit et de puissance. Stratégies de routage des longues interconnexions. Extraction des éléments parasites. Analyse statique temporelle. Vérification formelle d'équivalence logique: LVS. Vérification électrique et des dessins des masques: ERC, DRC
4. **Vérification physique des circuits ITGE** - Défectuosités et modèles de défauts. Algorithmes de génération de vecteurs de vérification (D et PODEM). Équipement ATE. Contrôlabilité et observabilité et outils de mesure de la testabilité des circuits ITGE (SCOAP et COP). Méthodes de conception DFT et BIST des circuits ITGE. Méthodes de test LSSD, LFSR et BILBO. Architectures des circuits tolérants aux fautes. Techniques de redondance du matériel et du logiciel. Reconfiguration statique et dynamique.

RÉFÉRENCES

- V R Michael John Sebastien Smith – *Application-Specific Integrated Circuits* – Addison-Wesley, 1997.
- V R Miron Abramovici, Melvin A. Breuer, Arthur D. Friedman – *Digital Systems Testing and Testable Design* – IEEE Press, 1990.
- V C Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic – *Digital Integrated Circuits - A Design perspective, Second Edition* – Prentice Hall, 2003.
- V C Savaria, Y. – *Introduction à la conception des circuits VLSI* – Editions de l'École Polytechnique de Montréal, 1988.
- V C Airiau, R. et al. – *VHDL: du langage à la modélisation* – Presses Polytechniques et Universitaires Romandes, 1990.
- V C Vijay, K. Madisetti. – *VLSI Digital Signal Processors - An Introduction to Rapid Prototyping and Design Synthesis* – IEEE Press.
- V C Srinivas Devadas & al. – *Logic Synthesis* – McGraw-Hill.
- V C Kenneth P. Parker – *The Boundary-Scan Handbook* – Kluwer Academic Publishers, 1992.
- V C Lipsett, R., Schaefer, C., Ussery C. – *VHDL: Hardware Description and Design* – Kluwer Academics, 1989.

A : article – C : comptes rendus – L : logiciel – N : notes – R : revue –
S : standard – U : uri – V : volume

C : complémentaire – O : obligatoire – R : recommandé