

COORDONNATEUR	BLAQUIÈRE, Yves	blaquiere.yves@uqam.ca	(514) 987-3000 3904	PK-4820
GROUPE	40 BLAQUIÈRE, Yves	blaquiere.yves@uqam.ca	(514) 987-3000 3904	PK-4820

Judi, de 13h30 à 16h30 (cours) – Mardi, de 9h00 à 12h00 (laboratoires)

DESCRIPTION

Ce cours vise à permettre de faire l'étude des différents circuits intégrés programmables et de leurs applications dans la conception des systèmes électroniques; de maîtriser les outils CAO pour la synthèse et la programmation des circuits intégrés programmables. Étude des différents circuits intégrés programmables et de leurs applications. Circuits ASIC, PAL, FPLA, PLD, matrice de portes programmable – FPGA. Théorie et outils CAO pour la synthèse et la programmation des circuits intégrés programmables. Conception de systèmes avec des composants programmables Cours théorique et travaux pratiques en laboratoire.

Préalables : MIC1065 Circuits logiques ; MIC4120 Microélectronique I

OBJECTIFS

Le cours MIC6130 permettra à l'étudiant d'acquérir une formation théorique et pratique sur les méthodes et les outils de conception des circuits intégrés programmables.

À la fin de ce cours, l'étudiant devra être en mesure:

- de comprendre les méthodes de conception, vérification et simulation des circuits intégrés programmables;
- de connaître la structure et l'architecture interne de ces circuits;
- de choisir le circuit intégré programmable pour une application

À la fin des séances de laboratoire, l'étudiant devra être capable:

- d'utiliser un système de conception des circuits intégrés programmables
- de faire la conception de ces circuits avec un langage spécialisé
- d'utiliser les outils de simulation et synthèse des circuits intégrés programmables.

ÉVALUATION	Description sommaire	Date	Pondération
	Examen intra	8e semaine	*
	Examen final	Dernière semaine de cours	*
	Travaux pratiques		50%

BARÈMES:

* Selon la distribution des notes finales. Le meilleur des deux examens compte pour 30% des points et l'autre pour 20%. Une note supérieure à 50% de la moyenne pondérée des deux examens est exigée. Si ce seuil n'est pas atteint, la mention échec sera automatiquement attribuée au cours et ce, quelles que soient les notes obtenues aux travaux pratiques.

La qualité du français sera prise en considération, tant dans les examens que dans les travaux pratiques (jusqu'à 10% de pénalité).

LABORATOIRES

Les séances de laboratoire (3 heures/semaine) sont obligatoires et font partie intégrante du cours et de l'évaluation. Les étudiants doivent se présenter aux séances afin d'effectuer les travaux pratiques et présenter leurs résultats à l'auxiliaire d'enseignement. Tous les travaux pratiques sont réalisés par équipe de 2 étudiants sauf pour le premier. À l'exception des deux premiers laboratoires, chaque travail pratique sera présenté sous la forme d'un rapport formel (page titre, introduction, conclusion, etc) en utilisant le gabarit fourni pour le cours. Une pénalité de retard de 25% par jour sera appliquée aux travaux remis après les dates prévues dans l'énoncé de laboratoire.

Nous encourageons fortement l'entraide entre les équipes, principalement pour partager des idées (architectures, diagrammes blocs brouillon), leur savoir-faire, des astuces, etc. Il est toutefois hors de question que tout document, rapport ou fichier soit copié, divulgué, transformé ou non. Le règlement no 18 de l'UQAM sur les infractions de nature académique sera appliqué avec rigueur. En cas de doute sur l'originalité des travaux, un test oral peut être exigé.

Politique d'absence aux examens

Un étudiant absent à un examen se verra normalement attribuer la note zéro pour cet examen. Cependant, si l'étudiant était dans l'impossibilité de se présenter à l'examen pour un motif valable, certains arrangements pourront être pris avec son enseignant. Pour ce faire, l'étudiant devra présenter à son enseignant l'un des formulaires prévus à cet effet accompagné des pièces justificatives appropriées (par ex., attestation d'un médecin que l'étudiant était dans l'impossibilité de se présenter à l'examen pour des raisons de santé, lettre de la Cour en

cas de participation à un jury).

Une absence pour cause de conflit d'horaires d'examen n'est pas considérée comme un motif valable d'absence, à moins d'entente préalable avec la direction du programme et l'enseignant durant la période d'annulation des inscriptions avec remboursement : tel qu'indiqué dans le guide d'inscription des étudiants, il est de la responsabilité d'un étudiant de ne s'inscrire qu'à des cours qui ne sont pas en conflit d'horaire.

Pour plus de détails sur la politique d'absence aux examens du Département d'informatique et pour obtenir les formulaires appropriés, consultez le site web suivant :

<http://www.info.uqam.ca/enseignement/reglements/politique-dabsence-aux-examens>

CONTENU

1. Introduction
 - Survol des circuits intégrés programmables
 - Environnement de conception pour les circuits intégrés programmables
 - Carte de prototypage
2. Modélisation, simulation et synthèse
 - Les étapes de conception
 - Description comportementale
 - Simulation
 - Revue du langage de description (HDL) pour la simulation fonctionnelle
 - Outils de synthèse logique : contraintes, algorithmes
3. Revue de la description HDL de circuits pour la synthèse logique et leur utilisation
 - Circuits combinatoires: multiplexeurs, démultiplexeurs, décodeurs, encodeurs, amplificateur trois états, comparateurs, UAL, circuits arithmétiques
 - Circuits séquentiels: bascules, compteurs, machines à états finis (FSM, ASMD)
 - Générateur automatique de blocs fonctionnels (SoC) et leur utilisation
4. Structures logiques internes du FPGA et leur utilisation
 - LUT, multiplexeurs : délai, interconnexions
 - Structures pour circuits arithmétiques
 - Bascules, réseau de reset
 - Registres à décalage
 - Compteurs
 - Mémoires : bloc, distribuées
 - Réseau d'horloge, synchronisation et DLL
 - Entrées/sorties
 - Exemples de circuit : FIFO, générateur de délai, microprocesseur, FSM, communication sérielle
5. Technologies des circuits intégrés programmables
 - Fusible, antifusible, EPROM, EEPROM, Flash, SRAM, MRAM
 - PROM, PLA, PAL
 - Les circuits – PLD et CPLD
 - Les circuits – FPGA
 - Les circuits – ASIC
 - Analyse de coûts et comparaison CPLD, FPGA, ASIC
6. Méthodes de configuration et vérification des circuits FPGA
 - Chaîne de balayage ("Scan")
 - Balayage des bordures ("Boundary scan")
 - L'analyse de signature
 - Instrumentation pour la vérification
7. Les structures d'entrée/sorties des circuits FPGA
 - La logique des entrées et sorties

- Les types d'interconnexions
- Les blocs logiques d'entrées/sorties configurables
- Les connexions entre les blocs logiques et l'horloge

RÉFÉRENCES

- VO Pong, P. Chu – *FPGA Prototyping by VHDL Examples - Xilinx Spartan* – 3e version, Wiley, 2007.
- UO www.moodle.uqam.ca
Les acétates du cours et énoncés sont disponibles sous MIC6130.
- UO <http://www.xilinx.com/literature/index.htm>
Spécification des composants
- VO Brown, Vranesic – *Fundamentals of Digital Logic with VHDL Design* – McGraw Hill, 2000.
- VR Roland Airiau, Jean-Michel Bergé, Vincent Rouillard – *VHDL langage, modélisation, synthèse, 2e édition* – Presse Polytechniques et universitaires romandes.
- VC Clive "Max" Maxfield – *The Design Warrior's Guide to FPGAs* – Elsevier, 2004.
- VC Michael John Sebastian Smith – *Application-Specific Integrated Circuits* – Addison Wesley, 1997.
- VC Douglas J. Smith – *HDL Chip Design* – Doone Publications, 1996.
- VC John Wakerly – *Digital Design: Principles and Practices* – Prentice-Hall.
- VC James R. Armstrong and F. Gail Gray – *VHDL Design Representation and Synthesis* – Prentice-Hall.
- VC D. Van den Bout – *The Practical Xilinx Designer Lab Book* – Prentice Hall, 1998.
- VC R.C. Seals and G.F. Whapshott – *Programmable Logic: PLDs and FPGAs* – Prentice-Hall.
- VC Z. Navibi – *VHDL: Analysis and Modeling of Digital Systems* – Prentice-Hall.
- VC D. Houzet – *Conception des circuits en VHDL, Principes et méthodologi*, – Toulouse: Cépaduès.
- VC K.C. Chang – *Digital Design and Modeling with VHDL and Synthesis* – IEEE Computer Society, 1997.
- VC Laurent Dutrieux et Didier Demigny – *Logique programmable, Architecture des FPGA et CPLD, Méthodes de conception, Le langage VHDL* – Eyrolles, 1997.

A : article – C : comptes rendus – L : logiciel – N : notes – R : revue –
S : standard – U : uri – V : volume

C : complémentaire – O : obligatoire – R : recommandé