

COORDONNATEUR	BLAQUIÈRE, Yves	blaquiere.yves@uqam.ca	(514) 987-3000 3904	PK-4820
GROUPE	50 BLAQUIÈRE, Yves	blaquiere.yves@uqam.ca	(514) 987-3000 3904	PK-4820

Vendredi, de 9h30 à 12h30 (cours) – Mardi, de 13h30 à 16h30 (laboratoires)

DESCRIPTION	<p>Systèmes numériques: caractéristiques générales, conversion, arithmétique et codes numériques. Fonctions booléennes. Circuits combinatoires: simplification algébrique, table de vérité, diagrammes de Karnaugh, méthode de Quine-McCluskey; circuits MSI conventionnels; circuits programmables; circuits arithmétiques. Bascules. Synthèse des circuits séquentiels synchrones et asynchrones: diagramme d'état, analyse et conception. Compteurs synchrones et asynchrones; registres à décalage, fichiers de registre, mémoires volatiles. Familles de circuits intégrés logiques TTL, ECL, I2L, NMOS, CMOS. Travaux en laboratoire.</p> <p>Préalables: INF1100 Programmation de base ou INF1105 Introduction à la programmation scientifique</p>
-------------	--

OBJECTIFS	<p>Le cours MIC1065 permettra à l'étudiant d'acquérir une formation théorique et pratique sur les méthodes et les outils de conception des circuits logiques.</p> <p>À la fin du cours, l'étudiant devrait être :</p> <ul style="list-style-type: none"> • familier avec les représentations de nombres en bases diverses; • en mesure d'utiliser les différentes portes et fonctions logiques; • familier avec le formalisme utilisé pour la description des circuits logiques; • en mesure d'utiliser les principales méthodes de simplification logique; • en mesure d'utiliser les différents types de bascules et en expliquer le fonctionnement; • en mesure d'utiliser des circuits logiques standards pour la conception de circuits numériques; • en mesure de distinguer les différentes familles de circuits logiques intégrés; • initié à la description de circuits logiques au moyen d'un langage descriptif, à leur synthèse et simulation; • en mesure de concevoir et analyser des circuits logiques combinatoires et séquentiels, synchrones et asynchrones
-----------	--

ÉVALUATION	<table border="1"> <thead> <tr> <th>Description sommaire</th> <th>Date</th> <th>Pondération</th> </tr> </thead> <tbody> <tr> <td>Examen intra</td> <td>8e semaine</td> <td>*%</td> </tr> <tr> <td>Examen final</td> <td>Dernière semaine de cours</td> <td>*%</td> </tr> <tr> <td>Exercices</td> <td></td> <td>10%</td> </tr> <tr> <td>Travaux pratiques</td> <td></td> <td>40%</td> </tr> </tbody> </table>	Description sommaire	Date	Pondération	Examen intra	8e semaine	*%	Examen final	Dernière semaine de cours	*%	Exercices		10%	Travaux pratiques		40%
Description sommaire	Date	Pondération														
Examen intra	8e semaine	*%														
Examen final	Dernière semaine de cours	*%														
Exercices		10%														
Travaux pratiques		40%														

* Le meilleur des deux examens compte pour 30% des points et l'autre pour 20%. Une note supérieure à 50% de la moyenne pondérée des deux examens est exigée. Si ce seuil n'est pas atteint, la mention échec sera automatiquement attribuée au cours et ce, quelles que soient les notes obtenues aux travaux pratiques.

La qualité du français sera prise en considération, tant dans les examens que dans les travaux pratiques (jusqu'à 10% de pénalité).

LABORATOIRES

Les séances de laboratoires (3 heures)/semaine) sont obligatoires et font partie intégrante du cours et de l'évaluation. Les étudiants doivent se présenter aux séances afin d'effectuer les travaux pratiques et présenter leurs résultats à l'auxiliaire d'enseignement. Les travaux pratiques sont réalisés individuellement ou par équipe de 2 étudiants. Les règlements concernant le plagiat seront strictement appliqués. En cas de doute sur l'originalité des travaux, un test oral peut être exigé. Chaque travail pratique sera présenté sous la forme d'un rapport identifié avec votre nom, le numéro du cours et du groupe, ainsi que le numéro du travail pratique en utilisant le gabarit fourni pour le cours. Une pénalité de retard de 25% par jour sera appliquée aux travaux remis après les dates prévues dans l'énoncé du laboratoire.

Chaque équipe aura à se procurer une plaque de montage, disponible à COOP Science.

Politique d'absence aux examens

Un étudiant absent à un examen se verra normalement attribuer la note zéro pour cet examen. Cependant, si l'étudiant était dans l'impossibilité de se présenter à l'examen pour un motif valable, certains arrangements pourront être pris avec son enseignant. Pour ce faire, l'étudiant devra présenter à son enseignant l'un des formulaires prévus à cet effet accompagné des pièces justificatives appropriées (par ex., attestation d'un médecin que l'étudiant était dans l'impossibilité de se présenter à l'examen pour des raisons de santé, lettre de la Cour en

cas de participation à un jury).

Une absence pour cause de conflit d'horaires d'examen n'est pas considérée comme un motif valable d'absence, à moins d'entente préalable avec la direction du programme et l'enseignant durant la période d'annulation des inscriptions avec remboursement : tel qu'indiqué dans le guide d'inscription des étudiants, il est de la responsabilité d'un étudiant de ne s'inscrire qu'à des cours qui ne sont pas en conflit d'horaire.

Pour plus de détails sur la politique d'absence aux examens du Département d'informatique et pour obtenir les formulaires appropriés, consultez le site web suivant :

<http://www.info.uqam.ca/enseignement/politiques/absence-examen>

CONTENU

1. Systèmes numériques et codes
 - Notions sur les circuits combinatoires;
 - Systèmes numériques;
 - Représentation de nombres en bases 2, 8, 10 et 16;
 - Conversion d'une base à l'autre;
 - Complément de nombres; Arithmétique binaire;
 - Codes.
2. Fonctions logiques
 - Logique booléenne;
 - Portes élémentaires: OU, ET, NON, N-OU, N-ET, OU exclusif;
 - Théorèmes de Boole et de De Morgan;
 - Table de vérité;
 - Circuits avec portes SSI.
3. Langages descriptifs (HDL) pour la simulation logique
 - Modularité et hiérarchie;
 - Objets: entity, architecture, paquetage, configuration;
 - Types, opérateurs;
 - Signaux, variables;
 - Modèles de délai;
 - Énoncés séquentielles et concurrents;
 - Fonctions et procédures;
 - Paquetages standards;
 - Fichiers d'entrée et sortie;
 - Bancs d'essai;
4. Synthèse logique de circuits combinatoires
 - Simplification: algébrique;
 - Diagrammes de Karnaugh;
 - Outils de synthèse logiques;
 - Normes de documentation: symboles, schémas, niveau logiques, bus;
 - Diagrammes temporels et outils d'analyse temporelle;
 - Circuits numériques combinatoires: décodeurs, encodeurs, multiplexeurs, sorties 3-états, comparateurs, générateurs de parité;
 - Circuits arithmétiques: additionneurs, soustracteurs, multiplicateurs, unités arithmétiques et logiques;
 - Introduction aux circuits intégrés programmables;
 - Langages descriptifs (HDL) pour la synthèse de circuits combinatoires
5. Circuits séquentiels et bascules
 - Classes de machines séquentielles;
 - Bascules RS, D, T, JK;
 - Bascules sensibles aux niveaux et aux transitions;

- Bascules tampon.
6. Synthèse de circuits séquentiels
 - Diagrammes d'états;
 - Tables de vérité séquentielles;
 - Minimisation et codage des états;
 - Entrées asynchrones;
 - Analyse et conception de circuits séquentiels synchrones.
 - Langages descriptifs (HDL) pour la description de la synthèse de circuits séquentiels synchrones
 7. Compteurs, registres et mémoires
 - Compteurs synchrones et asynchrones;
 - Registres à décalage;
 - Fichier de registres;
 - Mémoires volatiles.
 8. Circuits séquentiels asynchrones
 - Modèles de délai;
 - Courses et aléas;

RÉFÉRENCES

- UR www.moodle.uqam.ca
Les acétates et énoncés de laboratoires sont disponibles sous MIC1065.
- VO Ashenden, P.J. – *The designer's guide to VHDL, 2nd edition* – Morgan Kaufmann, 2002.
- VO BROWN et VRANESIC – *Fundamentals of Digital Logic with VHDL Design, 2nd edition* – McGraw Hill, 2005.
- VC AIRIAU, R., BERGÉ, J.-M., ROUILLARD, V. – *VHDL langage, modélisation, synthèse, 2e édition* – Presse Polytechniques et universitaires romandes.
- VC JOHN F. WAKERLY – *Digital Design Principles and Practices, Third edition* – Prentice Hall.
- VC THOMAS L. FLOYD – *Systèmes numériques* – Reynald Goulet, 9e édition.
- VC M. MORRIS MANO – *Digital Design, Third edition* – Prentice Hall, 2002.
- VC NELSON, V.P.; NAGLE, H.T.; CARROLL, B.D. et IRWIN, J.D. – *Digital Logic Circuit Analysis & Design* – Prentice-Hall, 1995.
- VC DANIELS D. GAJSKI – *Principles of Digital Design* – Prentice Hall, 1997.
- VC JAN M. RABAEY – *Digital Integrated Circuits* – Prentice Hall, 1997.
- VC PARAG K. LALA – *Practical Digital Logic Design and Testing* – Prentice Hall, 1996.
- VC WAKERLY, J.F – *Digital Design: Principles & Practices, Second Edition* – Prentice Hall, 1994.
- VC HAYES, J.P. – *Introduction to Digital Logic Design* – Addison-Wesley, 1993.
- VC ASHENDEN, Peter J. Juillet – *The VHDL Cookbook. First Edition 1990* .
En vente à la COOP.
- VC MORRIS MANO, M. – *Digital Design* – Prentice Hall, 2nd edition, 1991.
- VC DIETMEYER, D.L. – *Logic Design of Digital Systems* – Allyn and Bacon . Third Edition, 1998.
- VC FLETCHER, W.I. – *An Engineering Approach to Digital Design* – Prentice-Hall, 1980.
- VC TOCCI, R.J. – *Circuits numériques: Théories et applications* – Trécarré - Goulet, 1987.

A : article – C : comptes rendus – L : logiciel – N : notes – R : revue –
S : standard – U : uri – V : volume

C : complémentaire – O : obligatoire – R : recommandé