

COORDONNATEUR	DAVIDSON, Jacob	davidson.jacob@uqam.ca	(514) 987-3000 3323	PK-4620
GROUPE	30 DAVIDSON, Jacob	davidson.jacob@uqam.ca	(514) 987-3000 3323	PK-4620

Mercredi, de 9h00 à 12h00 (cours) – Vendredi, de 14h00 à 17h00 (laboratoires)

DESCRIPTION Étude théorique et pratique de la fiabilité des systèmes. Classification et modèles de fautes. Vérification et test de circuits de grande complexité. Architectures et logiciels tolérants aux fautes. Évaluation de la fiabilité.

Préalables : MIC5120 Microélectronique II

OBJECTIF Ce cours vise à maîtriser les méthodes et les outils de conception des circuits ITGE permettant d'obtenir un degré élevé de testabilité et fiabilité. À la fin de ce cours, l'étudiant devrait être en mesure :

- de comprendre les problèmes de conception reliés à la testabilité et fiabilité des circuits ITGE numériques, analogiques et mixtes;
- de connaître les modèles de fautes et les méthodes de conception et vérification des circuits ITGE tolérants aux fautes;
- de sélectionner les méthodes utilisées pour augmenter la testabilité et la fiabilité des circuits en fonction de la technologie de fabrication;
- de choisir les outils pour la synthèse des circuits ITGE en fonction de leur caractéristiques de testabilité et fiabilité;
- de connaître les normes appliqués à ce domaine et les modalités d'évaluer les performances de testabilité et fiabilité des circuits conçus.

ÉVALUATION	Description sommaire	Date	Pondération
	Examen intra	8e semaine	30%
	Examen final	dernière semaine	30%
	Travail pratique 1		7,5%
	Travail pratique 2		7,5%
	Projet		25%

La réussite du cours est liée à l'obtention d'une moyenne supérieure ou égale à 50% pour les 2 examens.

Travaux pratiques et projet

Chaque travail pratique sera présenté sous la forme d'un rapport identifié avec le nom et le numéro du cours et du groupe.

Le sujet du projet est défini par le professeur. Une description détaillée du travail à réaliser devra être soumise par écrit au début du projet et devra contenir les informations suivantes :

- Résumé du projet
- Objectifs
- Méthodologie
- Échéancier

Un rapport final devra être soumis avant la dernière semaine du cours. Une présentation du projet est prévue à l'avant-dernière semaine du cours.

Politique d'absence aux examens

Un étudiant absent à un examen se verra normalement attribuer la note zéro pour cet examen. Cependant, si l'étudiant était dans l'impossibilité de se présenter à l'examen pour un motif valable, certains arrangements pourront être pris avec son enseignant. Pour ce faire, l'étudiant devra présenter à son enseignant l'un des formulaires prévus à cet effet accompagné des pièces justificatives appropriées (par ex., attestation d'un médecin que l'étudiant était dans l'impossibilité de se présenter à l'examen pour des raisons de santé, lettre de la Cour en cas de participation à un jury).

Une absence pour cause de conflit d'horaires d'examen n'est pas considérée comme un motif valable d'absence, à moins d'entente préalable avec la direction du programme et l'enseignant durant la période d'annulation des inscriptions avec remboursement : tel qu'indiqué dans le guide d'inscription des étudiants, il est de la responsabilité d'un étudiant de ne s'inscrire qu'à des cours qui ne sont pas en conflit d'horaire.

Pour plus de détails sur la politique d'absence aux examens du Département d'informatique et pour obtenir les formulaires appropriés, consultez le site web suivant :

CONTENU

1. **Introduction**
 - Complexité de la vérification des circuits ITGE numériques, analogiques et mixtes
 - Qualité et fiabilité des circuits ITGE
 - Testabilité et fiabilité des circuits intégrés numériques
 - Problèmes de vérification et de fiabilité des circuits intégrés analogiques et mixtes
2. **Modèles de défaut des circuits ITGE**
 - Modèles de défaut des circuits intégrés numériques
 - Modèles de défaut des circuits intégrés analogiques
 - Modèles de défaut analogiques haut-niveau ("high-level")
3. **Simulation de défaut des circuits ITGE**
 - Simulation de défaut des circuits intégrés numériques
 - Simulation de défaut des circuits analogiques linéaires
 - Simulation de défaut DC des circuits analogiques non-linéaires
 - Co-simulation de défaut avec des niveaux d'abstraction multiples
4. **Génération des vecteurs de vérification ("Automatic Test Pattern Generation – ATPG")**
 - ATPG des circuits intégrés numériques
 - ATPG des circuits intégrés analogiques
 - Algorithmes de génération des vecteurs de vérification
5. **Conception pour la testabilité ("Design For Test – DFT")**
 - Techniques de vérification
 - Chaîne de balayage ("Scan") pour les circuits numériques
 - Chaîne de balayage ("Scan") pour les circuits analogiques
6. **Circuits autovérifiables ("Built-In Self Test - BIST")**
 - Génération des vecteurs de test
 - Analyse des résultats
 - Utilisation du BIST dans les circuits intégrés numériques
 - MADBIST – "Mixed Analog-Digital BIST"
7. **Normes IEEE 1149.1 ("Boundary Scan") et IEEE 1149.4 ("Mixed-Signal Test Bus")**
 - Norme de balayage de bordures IEEE 1149.1
 - Possibilités de vérification par l'implantation de la norme IEEE 1149.4
 - Coût d'implantation des normes IEEE 1149.1 et IEEE 1149.4
 - BSDL – "Boundary Scan Description Language"
8. **Méthode de vérification IDDQ ("Quiescent power supply current testing")**
 - Description de la méthode de test IDDQ
 - Vecteurs de test IDDQ
 - Avantages de la méthode IDDQ
9. **Fiabilité des circuits ITGE**
 - Méthodes d'évaluation et de prédiction de la fiabilité
 - Défectuosités introduites par la mise en boîtier ("Packaging")
 - Défectuosités produites par la température et l'environnement
 - Vérification "Burn-In"
10. **Fiabilité et redondance**
 - Redondance du matériel
 - Méthodes de redondance des circuits ITGE

- Circuits intégrés à redondance multiple

- RÉFÉRENCES
- VC CROUCH, Alfred L. – *Design-for-Test for Digital IC's and Embedded Core Systems* – Prentice Hall, 1999
 - VC VINNAKOTA, Bapiraju – *Analog and Mixed-Signal Test* – Prentice Hall, 1998
 - VC SACHDEV, Manoj – *Defect Oriented Testing for CMOS Analog and Digital Circuits* – Kluwer Academic Publishing, 1998
 - VC LALL, Pradeep, PECHT, Michael, HAKIM, Edward – *Estimating Influence of Temperature on Microelectronic Device Reliability* – CRC Press, 1997
 - VC HNATEK, Eugene R. – *Integrated Circuit Quality and Reliability* – Marcel Dekker, 1995
 - VC WAGNER, Lawrence C. – *Failure Analysis of Integrated Circuits : Tools and Techniques* – Kluwer Academic Publishing, 1999
 - VC KRSTIC, Angela, CHENG, Kwang-Ting – *Delay Fault Testing for VLSI Circuits* – Kluwer Academic Publishing, 1998
 - VC KUO, Way, CHIEN, Wei-Ting Kary, KIM, Taeho – *Reliability, Yield, and Stress Burn-In : A Unified Approach for Microelectronics Systems Manufacturing and Software Development* – Kluwer Academic Publishing, 1998
 - VC DAVID, Rene – *Random Testing of Digital Circuits : Theory and Applications* – Marcel Dekker, 1998
 - VC CHAKRAVARTY, Sreejit, THADIKARAN, Paul J. – *Introduction to IDDQ Testing* – Kluwer Academic Publishing, 1997
 - VC RAJSKI, Janusz, TYSZER, Jerzy – *Arithmetic Built-In Self-Test : For Embedded Systems* – Prentice Hall Publishing, 1997
 - VC LALA, Parag K. – *Digital Circuit Testing and Testability* – Academic Press, 1997
 - VC LEE, Tien-Chien – *High-Level Test Synthesis of Digital VLSI Circuits* – Artech House, 1997

A : article – C : comptes rendus – L : logiciel – N : notes – R : revue –
S : standard – U : uri – V : volume

C : complémentaire – O : obligatoire – R : recommandé