

COORDONNATEUR	GAGNON, Étienne M.	gagnon.etienne_m@uqam.ca	(514) 987-3000 8215	PK-4930
GROUPE	20 MALENFANT, Bruno Mardi, de 18h00 à 21h00	malenfant.bruno@uqam.ca	(514) 987-3000 3699	PK-4115

DESCRIPTION	<p>Familiariser l'étudiant avec la structure des ordinateurs modernes. Initier au fonctionnement interne, à l'agencement des organes. Classification des architectures.</p> <p>Structure des ordinateurs parallèles, pipelines, matriciels et à multiprocesseurs. Fonctionnement d'un processeur. Unité de traitement: étude comparative des catégories d'instructions, unité de contrôle, U.A.L. Mémoires: architecture, fonctionnement, types. Entrée/sortie: adressage des composants, synchronisation, interfaces, canaux. Pipelining: principe, arithmétique et instructions, fonctionnement. Traitement vectorisé: caractéristiques et exemples. Multiprocesseurs: structures fonctionnelles, réseaux d'interconnexion, organisation de la mémoire parallèle, logiciels d'exploitation.</p> <p>Préalables: INF3172 Principes des systèmes d'exploitation</p>
-------------	--

OBJECTIF	Comprendre les principes de base du fonctionnement interne des ordinateurs et comprendre comment cette organisation interne affecte les performances. Étudier les méthodes et techniques utilisées dans les architectures modernes pour améliorer les performances. Comprendre les interrelations entre logiciel et matériel, particulièrement dans les machines modernes telles les machines Pentium, PowerPC, Itanium et les machines parallèles. Avoir un aperçu des directions futures vers lesquelles les architectures vont se développer.
----------	--

ÉVALUATION	Description sommaire	Date	Pondération
	Examen intra	7e semaine de cours	35%
	Examen final	15e semaine de cours	35%
	2 travaux pratiques	à déterminer	15% chacun

- L'examen final couvre toute la matière avec une plus grande emphase sur la matière couverte après l'examen intra.
- L'utilisation de documents **n'est pas permise** aux examens.
- Une moyenne d'au moins 50% aux examens est exigée pour réussir le cours.
- Les travaux peuvent être effectués individuellement ou en équipe d'un **maximum de deux personnes**.
- Une pénalité de 20% par jour de retard sera appliquée sur les travaux.
- La qualité du français sera prise en considération, tant dans les examens que dans les travaux pratiques (jusqu'à 10% de pénalité).
- La politique de tolérance zéro du département d'informatique sera appliquée à l'égard des infractions de nature académique (plagiat, réalisation des travaux individuels en équipe, etc.).

Politique d'absence aux examens

Un étudiant absent à un examen se verra normalement attribuer la note zéro pour cet examen. Cependant, si l'étudiant était dans l'impossibilité de se présenter à l'examen pour un motif valable, certains arrangements pourront être pris avec son enseignant. Pour ce faire, l'étudiant devra présenter à son enseignant l'un des formulaires prévus à cet effet accompagné des pièces justificatives appropriées (par ex., attestation d'un médecin que l'étudiant était dans l'impossibilité de se présenter à l'examen pour des raisons de santé, lettre de la Cour en cas de participation à un jury).

Une absence pour cause de conflit d'horaires d'examen n'est pas considérée comme un motif valable d'absence, à moins d'entente préalable avec la direction du programme et l'enseignant durant la période d'annulation des inscriptions avec remboursement : tel qu'indiqué dans le guide d'inscription des étudiants, il est de la responsabilité d'un étudiant de ne s'inscrire qu'à des cours qui ne sont pas en conflit d'horaire.

Pour plus de détails sur la politique d'absence aux examens du Département d'informatique et pour obtenir les formulaires appropriés, consultez le site web suivant :

<http://www.info.uqam.ca/enseignement/politiques/absence-examen>

CONTENU	<ul style="list-style-type: none"> <input type="checkbox"/> Introduction. Structure et fonction d'un ordinateur. Évolution historique. Performance <input type="checkbox"/> Vue d'ensemble. Composants et fonctions. Structures d'interconnexion. Bus. PCI. <input type="checkbox"/> Mémoire cachée. Mémoire interne. Correction d'erreur.
---------	---

- Gestion de mémoire. TLB.
- Arithmétique : Représentation des données. Circuits logiques. Fonctionnement d'une unité arithmétique: addition, soustraction, multiplication. Arithmétique à point-flottant.
- Jeux d'instructions. Types d'opérandes. Types d'instructions. Modes d'adressage. Formats d'instruction.
- Fonctionnement d'un processeur : Organisation du processeur. Registres. Cycle d'instruction. Pipelines. Pentium et PowePC.
- RISC. Grands jeux de registres. Pipelines RISC. MIPS R4000. SPARC. RISC vs CISC.
- Parallélisme d'instructions. Superscalaires.
- Architecture IA-64. Spéculation. Organisation de l'Itanium.
- Unité de contrôle. Microinstructions.
- Organisation parallèle. Machines SMP. Cohérence des caches. Agglomérats. Accès non-uniforme à la mémoire.
- Autres architectures.

CALENDRIER

Période	Contenu	Lecture et laboratoire
1	Introduction	1
2	Jeu d'instructions	2
3	Jeu d'instructions (suite)	2
4	Arithmétique	3
5	Performance	4
6	Processeur à 1 cycle	5
7	Examen intra	
8	Processeur multi-cycles	5
9	Pipelines	6
10	Aléas	6
11	Caches	7
12	TLB	7
13	Multi-processeurs	9 (sur CD-ROM)
14	Périphériques et révision	8
15	Examen final	

RÉFÉRENCES

- VO PATTERSON, D.A. and Hennessy, J.L. – *Computer Organisation and Design* – Morgan Kaufmann Publishers, Inc. Third Edition, 2005. ISBN 1-55860-604-1.
- VC STALLINGS, W. – *Organisation et architecture de l'ordinateur* – 6e édition, Pearson Education, 2003. ISBN 2-7440-7007-6
- VC STALLINGS, W. – *Computer Organization and Architecture* – 6th edition. Prentice Hall, 2003. ISBN 0-13-035119-9
- VC HENNESSY, J.L. and PATTERSON, D.A. – *Computer Organisation and Design* – Morgan Kaufmann Publishers, Inc. Second Edition, 1998. ISBN 1-55-860-428-6.
- VC PATTERSON, D.A. et HENNESSY, J.L. – *Organisation et conception des ordinateurs: L'interface matériel/logiciel* – DUNOD, 1994.
En vente à la Coop Sciences.
- VC PATTERSON, D.A. et HENNESSY, J.L. – *Architectures des ordinateurs: Une approche quantitative* – McGraw-Hill, 1996.
- VC STALLINGS, W. – *Computer Organization and Architecture* – 4th edition. Prentice Hall, 1996.
- VC STALLINGS, W. – *Computer Organization and Architecture* – 4th edition, Prentice Hall., 1996.
- VC TANENBAUM, A.S. – *Architecture de l'ordinateur* – 3e édition, Paris InterEdition, 1996.
- VC BARON, R.J. and L. HIGBIE – *Computer Architecture* – Addison-Wesley Publishing Company, 1992.

A : article – C : comptes rendus – L : logiciel – N : notes – R : revue –
S : standard – U : uri – V : volume

C : complémentaire – O : obligatoire – R : recommandé