

Microélectronique II

Groupe 20

Mardi, de 9h30 à 12h30 PK-4665 (cours)

Lundi, de 13h30 à 16h30 PK-4365 (atelier)

Responsable(s) du cours

Nom du coordonnateur : BEGIN, Guy**Nom de l'enseignant :** CICEK, Paul-Vahé**Local :** PK-4835**Téléphone :** (514) 987-3000 #4825**Courriel :** cicek.paul-vahe@uqam.ca

Description du cours

Revue des procédés de fabrication des composants microélectroniques. Introduction aux règles de dessin et de conception des circuits ITGE. Structures logiques MOS et CMOS. Techniques de conception des circuits MOS. Réseaux logiques programmables (PLA). Structures de mémoire. Communication et synchronisation. Architecture à transfert de registres et machine à états finis. Outils de conception assistée par ordinateur des circuits ITGE. Travaux pratiques en laboratoire (3 heures/semaine).

Préalables académiques :

MIC1065 Circuits logiques ; MIC4120 Microélectronique I

Objectifs du cours

À la fin du cours, l'étudiant devra être en mesure:

d'analyser et de concevoir des circuits CMOS simples et complexes;

de comprendre les procédés de fabrication de circuits intégrés ainsi que le fonctionnement des différents types de mémoires.

Contenu du cours

1. Introduction : évolution des technologies, Loi de Moore, Rendement. Métriques : fiabilité, puissance, délais, marge de bruits. Niveaux d'abstraction, modèles de transistor MOS et de jonction pn.
2. Modèles détaillés du transistor MOS : relation I-V, canal long et court, saturation, courant sous le seuil, capacités et thyristors parasites. L'inverseur CMOS : fonction de transfert, tension de seuil, marges de bruit
3. Technologies et procédés de fabrication. Purification et croissance de lingot. Photolithographie. Émulsion. Étapes de fabrication et de traitement : croissance, déposition, gravure, implantation ionique, diffusion, mise en boîtier.
4. Masques et règles de dessin d'une technologie CMOS. Outils d'aide pour le dessin des masques : extraction de circuits et vérification (DRC, LVS). Électromigration. Vidéos sur la fabrication d'un circuit intégré. Introduction aux portes logiques CMOS statique : réseau PDN, PUN, dessin des masques, graphe d'Euler, diagramme en bâtonnets.
5. Interconnexions : capacités et résistances parasites. Modèles d'interconnexions : ponctuel, distribué, pi, T. Délai d'Elmore. Optimisation du délai. Délai de l'inverseur : dimensionnement selon la performance, la puissance, la pente. Effet de l'entrance et la sortance.
6. Attaque de grosses charges capacitives. Portes logiques CMOS : modèles de délai intrinsèque et extrinsèque, techniques de design.
7. Puissance : statique, dynamique, courants de court-circuit et de fuite, réduction, distribution, dimensionnement pour la

puissance. Logique à rapport d'impédance. Logique dynamique : Domino, NORA/Zipper, fuite et partage de charges. Logique DCVS.

8. Circuits séquentiels et éléments de mémoire : temps de prépositionnement et de maintien, latches, flip-flops, maître-esclave, bascule à impulsion, mémoires statiques et dynamiques. Stratégie de génération d'horloge. Monostables et multivibrateurs.
9. Conception de modules arithmétiques. Additionneurs : propagation de retenue, miroir, réseau à relais, Manchester. Architectures à sélection, saut et anticipation de retenue. Arbres d'additionneurs. Multiplicateurs. Décaleurs.
10. Mémoires à semiconducteur : hiérarchie et architecture de mémoires. CAM. SRAM : 6 transistors, 4 transistors, stratégies de lecture et d'écriture. DRAM: 3 transistors, 1 transistor. ROM, EPROM, EEPROM. Flash EPROM: NAND, NOR. Circuiteries périphériques.
11. Introduction aux méthodologies de conception de circuits intégrés : compromis, modèles de coût, aspects économiques, Boitiers, règle de Rent. Styles de design : full custom, cellules normalisées, matrice de portes, mers de portes, PLA, matrices configurables (SRAM, antifusible), ASIC, ASIC structuré, macro-cellules, SoC, plateformes. Rendement. Réduction à l'échelle. Limitations technologiques.

Modalités d'évaluation

Description sommaire	Date	Pondération
Examen intra	24/10/2016	20%
Mini-quiz (6)		6%
Lab 1		10%
Lab 2		10%
Lab 3		10%
Lab 4 (projet)		14%
Examen final	13/12/2016	30%

* Barème: Selon la distribution des notes finales.

**Aucune documentation permise SAUF 1 feuille 8½ x 11 recto-verso écrite à la main pour les quiz et l'examen intra, 2 feuilles 8½ x 11 recto-verso écrites à la main pour l'examen final

LABORATOIRES

Les séances de laboratoires (3 heures/semaine) sont obligatoires et font partie intégrante du cours et de l'évaluation. Les étudiants doivent se présenter aux séances afin d'effectuer les travaux pratiques et présenter leurs résultats à l'auxiliaire d'enseignement. Chaque travail pratique sera présenté sous la forme d'un rapport identifié avec votre nom, le numéro du cours et du groupe, ainsi que le numéro du travail pratique. Une pénalité de retard de 25% par jour sera appliquée aux travaux remis après les dates prévues dans l'énoncé du laboratoire.

L'entraide entre les équipes est fortement encouragée, principalement pour partager des idées (architectures, diagrammes blocs brouillon), leur savoir-faire, des astuces, etc. Il est toutefois hors de question que tout document, rapport ou fichier soit copié, divulgué, transformé ou non. Le règlement no 18 de l'UQAM sur les infractions de nature académique sera appliqué avec rigueur.

Les règlements concernant le plagiat seront strictement appliqués. Pour plus de renseignements, veuillez consulter les sites suivants :

www.integrite.uqam.ca

<http://www.bibliotheques.uqam.ca/plagiat>

<http://www.sciences.uqam.ca/decanat/reglements.php>

Politique d'absence aux examens

L'autorisation de reprendre un examen en cas d'absence est de caractère exceptionnel. Pour obtenir un tel privilège, l'étudiant-e doit avoir des motifs sérieux et bien justifiés.

Il est de la responsabilité de l'étudiant-e de ne pas s'inscrire à des cours qui sont en conflit d'horaire, tant en ce qui concerne les séances de cours ou d'exercices que les examens. **De tels conflits d'horaire ne constituent pas un motif justifiant une demande d'examen de reprise.**

Dans le cas d'une absence pour raison médicale, l'étudiant-e doit joindre un certificat médical original et signé par le médecin décrivant la raison de l'absence à l'examen. Les dates d'invalidité doivent être clairement indiquées sur le certificat. Une vérification de la validité du certificat pourrait être faite. Dans le cas d'une absence pour une raison non médicale, l'étudiant-e doit fournir les documents originaux expliquant et justifiant l'absence à l'examen – par exemple, lettre de la Cour en cas de participation à un jury, copie du certificat de décès en cas de décès d'un proche, etc. Toute demande incomplète sera refusée. Si la direction du programme d'études de l'étudiant-e constate qu'un étudiant a un comportement récurrent d'absence aux examens, l'étudiant-e peut se voir refuser une reprise d'examen.

L'étudiant-e absent-e lors d'un examen doit, dans les cinq (5) jours ouvrables suivant la date de l'examen, présenter une demande de reprise en utilisant le formulaire prévu, disponible sur le site Web du département à l'adresse suivante : <http://info.uqam.ca/politiques/>

L'étudiant-e doit déposer le formulaire dûment complété au secrétariat de la direction de son programme d'études : PK-3150 pour les programmes de premier cycle, PK-4150 pour les programmes de cycles supérieurs. Pour plus de détails sur la politique d'absence aux examens du Département d'informatique, consultez le site web suivant : <http://info.uqam.ca/politiques>

Intégrité académique

PLAGIAT Règlement no 18 sur les infractions de nature académique. (extraits)

Tout acte de plagiat, fraude, copiage, tricherie ou falsification de document commis par une étudiante, un étudiant, de même que toute participation à ces actes ou tentative de les commettre, à l'occasion d'un examen ou d'un travail faisant l'objet d'une évaluation ou dans toute autre circonstance, constituent une infraction au sens de ce règlement.

La liste non limitative des infractions est définie comme suit :

- la substitution de personnes;
- l'utilisation totale ou partielle du texte d'autrui en la faisant passer pour sien ou sans indication de référence;
- la transmission d'un travail pour fins d'évaluation alors qu'il constitue essentiellement un travail qui a déjà été transmis pour fins d'évaluation académique à l'Université ou dans une autre institution d'enseignement, sauf avec l'accord préalable de l'enseignante, l'enseignant;
- l'obtention par vol, manoeuvre ou corruption de questions ou de réponses d'examen ou de tout autre document ou matériel non autorisés, ou encore d'une évaluation non méritée;
- la possession ou l'utilisation, avant ou pendant un examen, de tout document non autorisé;
- l'utilisation pendant un examen de la copie d'examen d'une autre personne;
- l'obtention de toute aide non autorisée, qu'elle soit collective ou individuelle;
- la falsification d'un document, notamment d'un document transmis par l'Université ou d'un document de l'Université transmis ou non à une tierce personne, quelles que soient les circonstances;
- la falsification de données de recherche dans un travail, notamment une thèse, un mémoire, un mémoire-crédation, un rapport de stage ou un rapport de recherche;
- Les sanctions reliées à ces infractions sont précisées à l'article 3 du Règlement no 18.

Les règlements concernant le plagiat seront strictement appliqués. Pour plus de renseignements, veuillez consulter les sites suivants : <http://www.sciences.uqam.ca/etudiants/integrite-academique.html> et <http://www.bibliotheques.uqam.ca/recherche/plagiat/index.html>

Médiagraphie

VO Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic -- *Digital Integrated Circuits - A Design perspective, Second Edition* -- **Prentice Hall, 2003.**

UO www.moodle.uqam.ca

Les acétates et énoncés de laboratoires sont disponibles sous MIC5120.

VC Savaria, Yvon -- *Conception et vérification des circuits VLSI* -- **Édition de l'École Polytechnique de Montréal, 1998.**

VC Weste, N.H.E., Harris D. -- *CMOS VLSI Design - A Circuits and Systems Perspective, 3rd Edition* -- **Addison Wesley, 2005.**

VC Jacob Baker, R, Harry, W., Li, Boyer, David E. -- *CMOS Circuit Design, Layout & Simulation* -- **IEEE Press, 1998.**

VC Smith, Michael John Sebastian -- *Application - Specific Integrated Circuits* -- **Addison Wesley, 1997.**

VC Mukherjee, Amar -- *Introduction to nMOS & CMOS VLSI systems design* -- **Prentice Hall, 1986.**

VC Mead & Conway -- *Introduction aux Systèmes VLSI* -- **Inter-Edition, 1983.**

VC N.H.E. Weste, Eshraghian -- *Principle of CMOS VLSI design. A System Perspective* -- **Addison Wesley, 1993, Second Edition.**

VC Geiger, R.L., Allen, P.E., Strader, N.R. -- *VLSI Design Techniques for analog and digital circuits* -- **McGraw-Hill.**

VC Mavor, J., Jack, M.A., Denyer, P.B. -- *Introduction to MOS LSI Design* -- **Addison Wesley, 1983.**

A : article - C : comptes rendus - L : logiciel
S: Standard - U : uri - V : volume

C : complémentaire - O : Obligatoire - R : recommandé