

COORDONNATEUR	BLAQUIÈRE, Yves	blaquiere.yves@uqam.ca	(514) 987-3000 3904	PK-4820
GROUPE	20 BLAQUIÈRE, Yves	blaquiere.yves@uqam.ca	(514) 987-3000 3904	PK-4820

Mardi, de 13h30 à 16h30 (cours) – Jeudi et vendredi, de 9h30 à 11h30 (laboratoires)

DESCRIPTION

Revue des procédés de fabrication des composants microélectroniques. Introduction aux règles de dessin et de conception des circuits ITGE. Structures logiques MOS et CMOS. Techniques de conception des circuits MOS. Réseaux logiques programmables (PLA). Structures de mémoire. Communication et synchronisation. Architecture à transfert de registres et machine à états finis. Outils de conception assistée par ordinateur des circuits ITGE. Travaux en laboratoire.

Préalables : MIC1065 Circuits logiques ; MIC4120 Microélectronique I

OBJECTIF

À la fin du cours, l'étudiant devra être en mesure:

- d'analyser et de concevoir des circuits CMOS simples et complexes;
- de comprendre les procédés de fabrication de circuits intégrés ainsi que le fonctionnement des différents types de mémoires.

ÉVALUATION	Description sommaire	Date	Pondération
	Contrôle périodique (intra) (Aucune documentation, seulement une feuille 8½ x 11 recto-verso écrite à la main)		*
	Mini-quiz (6)		10%
	Lab 1		5%
	Lab 2		10%
	Lab 3		10%
	Lab 4		15%
	Examen final		*

*** Barème:**

Selon la distribution des notes finales. Une moyenne des examens inférieure à 50% est considérée comme un échec. La pondération de la meilleure note entre l'intra et l'examen final sera de 30% tandis que l'autre sera de 20%.

Remise des rapports de laboratoire: Les pénalités suivantes seront appliquées en cas de retard (samedi, dimanche et les congés sont considérés comme un jour):

- Retard d'un (1) jour: note x 75%
- Retard de deux (2) jours: note x 50%
- Retard de trois (3) jours: note x 25%
- Retard de quatre jours et plus: Ne le remettez pas

Nous encourageons fortement l'entraide entre les équipes, principalement pour partager des idées (architectures, diagrammes blocs brouillon), leur savoir-faire, des astuces, etc. Il est toutefois hors de question que tout document, rapport ou fichier soit copié, divulgué, transformé ou non. Le règlement no 18 de l'UQAM sur les infractions de nature académique sera appliqué avec rigueur. En cas de doute sur l'originalité des travaux, un test oral peut être exigé.

Politique d'absence aux examens

Un étudiant absent à un examen se verra normalement attribuer la note zéro pour cet examen. Cependant, si l'étudiant était dans l'impossibilité de se présenter à l'examen pour un motif valable, certains arrangements pourront être pris avec son enseignant. Pour ce faire, l'étudiant devra présenter à son enseignant l'un des formulaires prévus à cet effet accompagné des pièces justificatives appropriées (par ex., attestation d'un médecin que l'étudiant était dans l'impossibilité de se présenter à l'examen pour des raisons de santé, lettre de la Cour en cas de participation à un jury).

Une absence pour cause de conflit d'horaires d'examen n'est pas considérée comme un motif valable d'absence, à moins d'entente préalable avec la direction du programme et l'enseignant durant la période d'annulation des inscriptions avec remboursement : tel qu'indiqué dans le guide d'inscription des étudiants, il est de la responsabilité d'un étudiant de ne s'inscrire qu'à des cours qui ne sont pas en conflit d'horaire.

Pour plus de détails sur la politique d'absence aux examens du Département d'informatique et pour obtenir les

formulaire appropriés, consultez le site web suivant :
<http://www.info.uqam.ca/enseignement/politiques/absence-examen>

CONTENU

1. Introduction : évolution des technologies, Loi de Moore, Rendement. Métriques : fiabilité, puissance, délais, marge de bruits. Niveaux d'abstraction, modèles de transistor MOS et de jonction pn.
2. Modèles détaillés du transistor MOS : relation I-V, canal long et court, saturation, courant sous le seuil, capacités et thyristors parasites. L'inverseur CMOS : fonction de transfert, tension de seuil, marges de bruit
3. Technologies et procédés de fabrication. Purification et croissance de lingot. Photolithographie. Émulsion. Étapes de fabrication et de traitement : croissance, déposition, gravure, implantation ionique, diffusion, mise en boîtier.
4. Masques et règles de dessin d'une technologie CMOS. Outils d'aide pour le dessin des masques : extraction de circuits et vérification (DRC, LVS). Électromigration. Vidéos sur la fabrication d'un circuit intégré. Introduction aux portes logiques CMOS statique : réseau PDN, PUN, dessin des masques, graphe d'Euler, diagramme en bâtonnets.
5. Interconnexions : capacités et résistances parasites. Modèles d'interconnexions : ponctuel, distribué, pi, T. Délai d'Elmore. Optimisation du délai. Délai de l'inverseur : dimensionnement selon la performance, la puissance, la pente. Effet de l'entrance et la sortance.
6. Attaque de grosses charges capacitives. Portes logiques CMOS : modèles de délai intrinsèque et extrinsèque, techniques de design.
7. Puissance : statique, dynamique, courants de court-circuit et de fuite, réduction, distribution, dimensionnement pour la puissance. Logique à rapport d'impédance. Logique dynamique : Domino, NORA/Zipper, fuite et partage de charges. Logique DCVS.
8. Circuits séquentiels et éléments de mémoire : temps de prépositionnement et de maintien, latches, flip-flops, maître-esclave, bascule à impulsion, mémoires statiques et dynamiques. Stratégie de génération d'horloge. Monostables et multivibrateurs.
9. Conception de modules arithmétiques. Additionneurs : propagation de retenue, miroir, réseau à relais, Manchester. Architectures à sélection, saut et anticipation de retenue. Arbres d'additionneurs. Multiplicateurs. Décaleurs.
10. Mémoires à semiconducteur : hiérarchie et architecture de mémoires. CAM. SRAM : 6 transistors, 4 transistors, stratégies de lecture et d'écriture. DRAM : 3 transistors, 1 transistor. ROM, EPROM, EEPROM. Flash EPROM: NAND, NOR. Circuiteries périphériques.
11. Introduction aux méthodologies de conception de circuits intégrés : compromis, modèles de coût, aspects économiques, Boîtiers, règle de Rent. Styles de design : full custom, cellules normalisées, matrice de portes, mers de portes, PLA, matrices configurables (SRAM, antifusible), ASIC, ASIC structuré, macro-cellules, SoC, plateformes. Rendement. Réduction à l'échelle. Limitations technologiques.

RÉFÉRENCES

- VO Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic – *Digital Integrated Circuits - A Design perspective, Second Edition* – Prentice Hall, 2003.
- NO *Annexe du cours MIC5120, disponible sous – www.webct.uqam.ca*
- VC Savaria, Yvon – *Conception et vérification des circuits VLSI* – Édition de l'École Polytechnique de Montréal, 1998.
- VC Jacob Baker, R, Harry, W., Li, Boyer, David E. – *CMOS Circuit Design, Layout & Simulation* – IEEE Press, 1998.
- VC Smith, Michael John Sebastian – *Application - Specific Integrated Circuits* – Addison Wesley, 1997.
- VC Mukherjee, Amar – *Introduction to nMOS & CMOS VLSI systems design* – Prentice Hall, 1986.
- VC Mead & Conway – *Introduction aux Systèmes VLSI* – Inter-Edition, 1983.
- VC N.H.E. Weste, Eshraghian – *Principle of CMOS VLSI design. A System Perspective* – Addison Wesley, 1993, **Second Edition**.
- VC Geiger, R.L., Allen, P.E., Strader, N.R. – *VLSI Design Techniques for analog and digital circuits* – McGraw-Hill.
- VC Mavor, J., Jack, M.A., Denyer, P.B. – *Introduction to MOS LSI Design* – Addison Wesley, 1983.

A : article – C : comptes rendus – L : logiciel – N : notes – R : revue –
 S : standard – U : uri – V : volume

C : complémentaire – O : obligatoire – R : recommandé