

Circuits intégrés programmables

Groupe 10

Lundi, de 9h30 à 12h30 PK-2205 (cours)

Jeudi, de 13h30 à 16h30 PK-4785 (atelier)

Responsable(s) du cours

Nom du coordonnateur : BLAQUIÈRE, Yves**Nom de l'enseignant :** BLAQUIÈRE, Yves**Local :** PK-4820**Téléphone :** (514) 987-3000 #3904**Courriel :** blaquiere.yves@uqam.ca**Site Web :** www.info2.uqam.ca/~yves

Description du cours

Ce cours vise à permettre de faire l'étude des différents circuits intégrés programmables et de leurs applications dans la conception des systèmes électroniques; de maîtriser les outils CAO pour la synthèse et la programmation des circuits intégrés programmables. Étude des différents circuits intégrés programmables et de leurs applications. Circuits ASIC, PAL, FPLA, PLD, matrice de portes programmable - FPGA. Théorie et outils CAO pour la synthèse et la programmation des circuits intégrés programmables. Conception de systèmes avec des composants programmables. Travaux pratiques en laboratoire (3 heures/semaine).

Préalables académiques :

MIC1065 Circuits logiques

Objectifs du cours

Le cours MIC6130 permettra à l'étudiant d'acquérir une formation théorique et pratique sur les méthodes et les outils de conception des circuits intégrés programmables.

À la fin de ce cours, l'étudiant devra être en mesure:

- de comprendre les méthodes de conception, vérification et simulation des circuits intégrés programmables;
- de connaître la structure et l'architecture interne de ces circuits;
- de choisir le circuit intégré programmable pour une application

À la fin des séances de laboratoire, l'étudiant devra être capable:

- d'utiliser un système de conception des circuits intégrés programmables
- de faire la conception de ces circuits avec un langage spécialisé
- d'utiliser les outils de simulation et synthèse des circuits intégrés programmables.

Contenu du cours

1. Introduction
 - Survol des circuits intégrés programmables
 - Environnement de conception pour les circuits intégrés programmables
 - Carte de prototypage
2. Modélisation, simulation, synthèse et vérification
 - Étapes de conception
 - Description comportementale
 - Simulation, bancs d'essai
 - Revue du langage de description (HDL) pour la simulation fonctionnelle
 - Outils de synthèse logique et physique (définition des broches, spécification et vérification temporelle)
 - Outil de débogage in-situ
3. Description HDL de circuits pour la synthèse logique et leur utilisation
 - Circuits combinatoires: multiplexeurs, démultiplexeurs, décodeurs, encodeurs, amplificateur trois états, comparateurs, UAL, circuits arithmétiques
 - Circuits séquentiels: bascules, compteurs, machines à états finis (FSM, ASMD)
 - Générateur automatique de blocs fonctionnels (SoC) et leur utilisation
4. Structures logiques internes du FPGA et leur utilisation
 - LUT, multiplexeurs : délai, interconnexions
 - Structures pour circuits arithmétiques
 - Bascules, horloges et réseau de reset
 - Registres à décalage
 - Compteurs
 - Mémoires : blocs, distribuées
 - Horloges: réseau, domaines, synchronisation, DCM, PLL
 - Exemples de circuit : FIFO, générateur de délai, microprocesseur, FSM, communication série
5. Technologies des circuits intégrés programmables
 - Fusible, antifusible, EPROM, EEPROM, Flash, SRAM, MRAM
 - Circuits et technologies PLD, CPLD, FPGA et ASIC
 - Analyse de coûts et comparaison CPLD, FPGA, ASIC
6. Méthodes de configuration et vérification des circuits FPGA
 - Chaîne de balayage (*Scan*)
 - Balayage des bordures (*Boundary scan*)
 - Analyse de signature
 - Instrumentation pour la vérification
7. Les structures d'entrée/sorties des circuits FPGA
 - Blocs logiques d'entrées/sorties configurables
 - Normes d'interconnexions

Modalités d'évaluation

Description sommaire	Date	Pondération
Examen intra	7e semaine	*
Examen final	Dernière semaine de cours	*
Mini-tests sur Moodle		5 %
Projets de conception individuels		30 %
Projet de conception en équipe		30 %

BARÈMES:

* Selon la distribution des notes finales. Le meilleur des deux examens compte pour 22 % des points et l'autre pour 13 %. Une note supérieure à 50 % de la moyenne pondérée des deux examens est exigée. Si ce seuil n'est pas atteint, la mention échec sera automatiquement attribuée au cours et ce, quelles que soient les notes obtenues aux travaux pratiques.

La qualité du français sera prise en considération, tant dans les examens que dans les travaux pratiques (jusqu'à 10 % de pénalité).

LABORATOIRES

Les séances de laboratoire (3 heures/semaine) sont obligatoires et font partie intégrante du cours et de l'évaluation. Les étudiants doivent se présenter aux séances afin d'effectuer les travaux pratiques et présenter leurs résultats à l'auxiliaire d'enseignement. Tous les travaux pratiques sont individuels, à l'exception du projet final. Chaque travail pratique sera présenté sous la forme d'un rapport formel (page titre, introduction, conclusion, etc) en utilisant le gabarit fourni pour le cours. Une pénalité de retard de 25% par jour sera appliquée aux travaux remis après les dates prévues dans l'énoncé de laboratoire. Nous encourageons fortement l'entraide entre les étudiants, principalement pour partager des idées (architectures, diagrammes blocs brouillon), leur savoir-faire, les astuces, etc. Il est toutefois interdit que tout document, rapport ou fichier soit copié, divulgué, transformé ou non. Le règlement no 18 de l'UQAM sur les infractions de nature académique sera appliqué avec rigueur. En cas de doute sur l'originalité des travaux, un test oral peut être exigé.

Politique d'absence aux examens

L'autorisation de reprendre un examen en cas d'absence est de caractère exceptionnel. Pour obtenir un tel privilège, l'étudiant-e doit avoir des motifs sérieux et bien justifiés.

Il est de la responsabilité de l'étudiant-e de ne pas s'inscrire à des cours qui sont en conflit d'horaire, tant en ce qui concerne les séances de cours ou d'exercices que les examens. **De tels conflits d'horaire ne constituent pas un motif justifiant une demande d'examen de reprise.**

Dans le cas d'une absence pour raison médicale, l'étudiant-e doit joindre un certificat médical original et signé par le médecin décrivant la raison de l'absence à l'examen. Les dates d'invalidité doivent être clairement indiquées sur le certificat. Une vérification de la validité du certificat pourrait être faite. Dans le cas d'une absence pour une raison non médicale, l'étudiant-e doit fournir les documents originaux expliquant et justifiant l'absence à l'examen – par exemple, lettre de la Cour en cas de participation à un jury, copie du certificat de décès en cas de décès d'un proche, etc. Toute demande incomplète sera refusée. Si la direction du programme d'études de l'étudiant-e constate qu'un étudiant a un comportement récurrent d'absence aux examens, l'étudiant-e peut se voir refuser une reprise d'examen.

L'étudiant-e absent-e lors d'un examen doit, dans les cinq (5) jours ouvrables suivant la date de l'examen, présenter une demande de reprise en utilisant le formulaire prévu, disponible sur le site Web du département à l'adresse suivante : <http://info.uqam.ca/politiques/>

L'étudiant-e doit déposer le formulaire dûment complété au secrétariat de la direction de son programme d'études : PK-3150 pour les programmes de premier cycle, PK-4150 pour les programmes de cycles supérieurs. Pour plus de détails sur la politique d'absence aux examens du Département d'informatique, consultez le site web suivant : <http://info.uqam.ca/politiques>

Intégrité académique

PLAGIAT Règlement no 18 sur les infractions de nature académique. (extraits)

Tout acte de plagiat, fraude, copiage, tricherie ou falsification de document commis par une étudiante, un étudiant, de même que toute participation à ces actes ou tentative de les commettre, à l'occasion d'un examen ou d'un travail faisant l'objet d'une évaluation ou dans toute autre circonstance, constitue une infraction au sens de ce règlement.

La liste non limitative des infractions est définie comme suit :

- la substitution de personnes;
- l'utilisation totale ou partielle du texte d'autrui en la faisant passer pour sien ou sans indication de référence;
- la transmission d'un travail pour fins d'évaluation alors qu'il constitue essentiellement un travail qui a déjà été transmis pour fins d'évaluation académique à l'Université ou dans une autre institution d'enseignement, sauf avec l'accord préalable de l'enseignante, l'enseignant;
- l'obtention par vol, manoeuvre ou corruption de questions ou de réponses d'examen ou de tout autre document ou matériel non autorisés, ou encore d'une évaluation non méritée;
- la possession ou l'utilisation, avant ou pendant un examen, de tout document non autorisé;
- l'utilisation pendant un examen de la copie d'examen d'une autre personne;
- l'obtention de toute aide non autorisée, qu'elle soit collective ou individuelle;
- la falsification d'un document, notamment d'un document transmis par l'Université ou d'un document de l'Université transmis ou non à une tierce personne, quelles que soient les circonstances;
- la falsification de données de recherche dans un travail, notamment une thèse, un mémoire, un mémoire-création, un rapport de stage ou un rapport de recherche;
- Les sanctions liées à ces infractions sont précisées à l'article 3 du Règlement no 18.

Les règlements concernant le plagiat seront strictement appliqués. Pour plus de renseignements, veuillez consulter les sites suivants : <http://www.sciences.uqam.ca/etudiants/integrite-academique.html> et <http://www.bibliotheques.uqam.ca/recherche/plagiat/index.html>

Médiagraphie

VO Pong, P. Chu -- *FPGA Prototyping by VHDL Examples - Xilinx Spartan* -- **3e version, Wiley, 2007.**

UO www.moodle.uqam.ca

Les acétates du cours et énoncés sont disponibles sous MIC6130.

UO <http://www.xilinx.com>

Spécification des composants

VO Brown, Vranesic -- *Fundamentals of Digital Logic with VHDL Design* -- **McGraw Hill, 2000.**

VR Roland Airiau, Jean-Michel Bergé, Vincent Rouillard -- *VHDL langage, modélisation, synthèse, 2e édition* -- **Presse Polytechniques et universitaires romandes.**

VC Clive "Max" Maxfield -- *The Design Warrior's Guide to FPGAs* -- **Elsevier, 2004.**

VC Michael John Sebastian Smith -- *Application-Specific Integrated Circuits* -- **Addison Wesley, 1997.**

VC Douglas J. Smith -- *HDL Chip Design* -- **Doone Publications, 1996.**

VC John Wakerly -- *Digital Design: Principles and Practices* -- **Prentice-Hall.**

VC James R. Armstrong and F. Gail Gray -- *VHDL Design Representation and Synthesis* -- **Prentice-Hall.**

VC D. Van den Bout -- *The Practical Xilinx Designer Lab Book* -- **Prentice Hall, 1998.**

VC R.C. Seals and G.F. Whapshott -- *Programmable Logic: PLDs and FPGAs* -- **Prentice-Hall.**

VC Z. Navibi -- *VHDL: Analysis and Modeling of Digital Systems* -- **Prentice-Hall.**

VC D. Houzet -- *Conception des circuits en VHDL, Principes et méthodologi*, -- **Toulouse: Cépaduès.**

VC K.C. Chang -- *Digital Design and Modeling with VHDL and Synthesis* -- **IEEE Computer Society, 1997.**

VC Laurent Dutrieux et Didier Demigny -- *Logique programmable, Architecture des FPGA et CPLD, Méthodes de conception, Le langage VHDL* -- **Eyrolles, 1997.**

A : article - C : comptes rendus - L : logiciel
S: Standard - U : uri - V : volume

C : complémentaire - O : Obligatoire - R : recommandé

Qualités de l'ingénieur et unités d'agrément

Qualités de l'ingénieur

Sous Qualité	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12
1		DE		DE								
2		DE		DE*	DE							
3									--			
4	DE	DE	--	DE*	--			--	--	--		

5	DE	--	--	--	--	--	--	--	--	--	--
---	----	----	----	----	----	----	----	----	----	----	----

Lexique (A : Qualité abordée, D: Qualité développée, E: Qualité évaluée, *: Évaluation collectée)

(Q1: Connaissances en génie; Q2: Analyse de problèmes; Q3: Investigation; Q4: Conception; Q5: Utilisation d'outils d'ingénierie; Q6: Travail individuel et en équipe; Q7: Communication; Q8: Professionnalisme; Q9: Impact du génie sur la société et l'environnement; Q10: Déontologie et équité; Q11: Économie et gestion de projets; Q12: Apprentissage continu)

Heures		Total UA	Composante du cours en unités d'agrément (UA)				
Cours magistraux	Labo		Maths	Sciences naturelles	Études complément.	Sciences du génie	Conception en ingénierie
39	39	58,5				33,5	25